

## AMPLIFIER CIRCUIT

Publication number: JP9027719

Publication date: 1997-01-28

Inventor: WAKITA AKIKO; TANAKA MASAHICO

Applicant: NIPPON ELECTRIC ENG

Classification:

- international: H03F1/34; H03F3/193; H03G3/12; H03H11/24; H03F1/34; H03F3/189; H03G3/04; H03H11/02; (IPC1-7): H03F3/193; H03F1/34; H03G3/12; H03H11/24

- european:

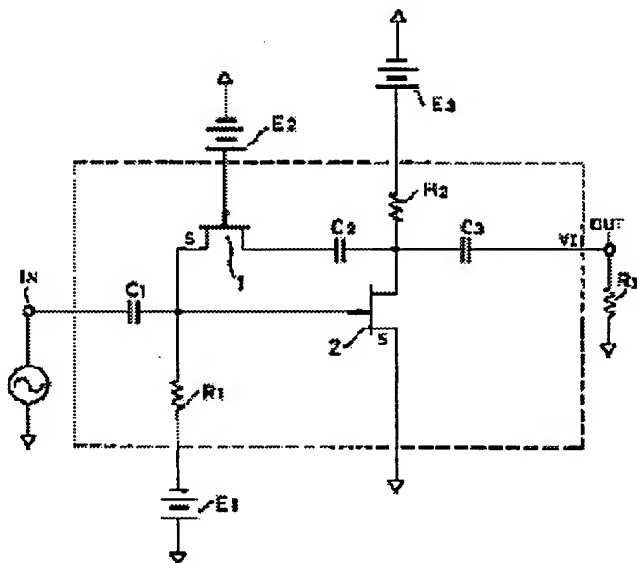
Application number: JP19950174590 19950711

Priority number(s): JP19950174590 19950711

### Abstract of JP9027719

**PROBLEM TO BE SOLVED:** To reduce the size and cost of the amplifier circuit by constituting a variable gain amplifier circuit as the main part of a high-frequency amplifier circuit with AGC on one GaAs substrate.

**SOLUTION:** An equivalent variable resistance circuit in which a pin diode is conventionally used is composed of an FET 1 of the same kind with an FET 2 which is used for amplification. Consequently, the whole variable gain amplifier circuit can be constituted on one GaAs substrate.



Data supplied from the *esp@cenet* database - Worldwide

BEST AVAILABLE COPY

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平9-27719

(43)公開日 平成9年(1997)1月28日

(51)IntCl. <sup>6</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 3 F 3/193			H 0 3 F 3/193	
	1/34		1/34	
H 0 3 G 3/12			H 0 3 G 3/12	A
H 0 3 H 11/24		8731-5 J	H 0 3 H 11/24	B

審査請求 未請求 請求項の数3 O L (全 3 頁)

(21)出願番号 特願平7-174590

(22)出願日 平成7年(1995)7月11日

(71)出願人 000232047

日本電気エンジニアリング株式会社

東京都港区芝浦三丁目18番21号

(72)発明者 脇田 暁子

東京都港区芝浦三丁目18番21号 日本電気  
エンジニアリング株式会社内

(72)発明者 田中 政彦

東京都港区芝浦三丁目18番21号 日本電気  
エンジニアリング株式会社内

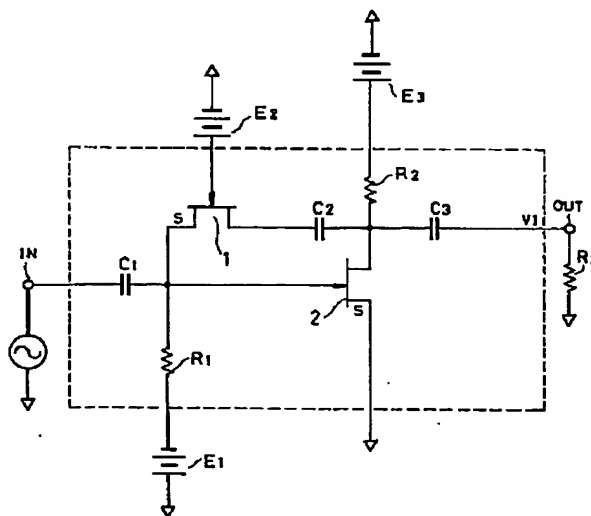
(74)代理人 弁理士 京本 直樹 (外2名)

(54)【発明の名称】 増幅回路

(57)【要約】

【目的】 AGC付き高周波増幅回路の中心となる可変利得増幅回路を一枚のGaAsサブストレート上に構成することにより、小型化とコストダウンを図る。

【構成】 従来ピンダイオードが用いられてきた等価可変抵抗回路を、増幅用に使用されるFET2と同種のFET1で構成することにより、一枚のGaAsサブストレート上に全可変利得増幅回路を構成できる。



## 【特許請求の範囲】

【請求項1】 増幅用トランジスタと、前記増幅用トランジスタの入出力間に設けられて外部制御信号により等価帰還抵抗の値が可変自在な帰還回路とを含む増幅回路であって、前記等価帰還抵抗が前記増幅用トランジスタと同種のトランジスタにより構成されていることを特徴とする増幅回路。

【請求項2】 少なくとも前記等価帰還抵抗のトランジスタと前記増幅用トランジスタとが1枚のGaAsサブストレート上に構成されていることを特徴とする請求項1記載の増幅回路。

【請求項3】 前記増幅回路はAGC機能付き増幅回路であり、前記外部制御信号はAGC信号であることを特徴とする請求項1または2記載の増幅回路。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明は増幅回路に関し、特にAGC付きの高周波増幅回路に関するものである。

## 【0002】

【従来の技術】 近年、CATVや衛星通信の発展に伴い、それらに対する受信機市場も急速に拡大してきた。

【0003】 これらの受信機においては、その使用状況に応じて入力信号レベルが大幅に変化することは避けられない。一方、周波数選択回路や復調回路、周波数変換回路にとっては入力信号レベルが過大でも、過小でも歪が発生したり、S-N比が悪くなったりして好ましくない。そこで歪が少なく、S-N比が良くて、出力レベルの一定範囲の広いAGC（自動利得調整回路）付きの高周波増幅回路が望まれる。

【0004】 従来のAGC付きの高周波増幅回路の例としては特開昭62-73807号公報に記されたようなものがある。図4はその回路図を示しており、図4においては、入力高周波信号（IN）はカップリングコンデンサC4を経て増幅用トランジスタであるFET3のゲートに供給される。FET3のゲートにはアイソレーション抵抗Rを経てバイアス電圧E4が与えられている。FET3のドレインには負荷抵抗Rを通じて電源電圧E6が供給される。FET3で増幅された高周波信号はカップリングコンデンサC7を経て出力（OUT）される。

【0005】 FET3で増幅された高周波信号の一部カップリングコンデンサC5、C6とピンダイオードD1を経てFET3の入力ゲートにフィードバックされる。この場合、ピンダイオードD1は等価的に可変抵抗素子として動作し、この抵抗値の制御によりフィードバック量を制御してFET3を中心とする増幅回路の利得を制御することができる。

【0006】 ピンダイオードD1にはアイソレーションコイルL1、L2を通じて制御電圧（バイアス電圧）が加わっていて、この制御電圧E5によってピンダイオードDの等価抵抗値が制御されるもので、AGC制御信号

がこの制御電圧E5として用いられる。

## 【0007】

【発明が解決しようとする課題】 図4において、FET3とピンダイオードD1とは拡散工程が異なるため、FETとピンダイオードを一枚のGaAsのサブストレート上に作ることは難しい。不可能ではないが、コストがかかりすぎて意味がない。従って、FET3を中心とする内部回路10とピンダイオードD3を含む外部制御部20とは別のパッケージになっていた。

【0008】 しかし、別のパッケージにすることはコストや小型化の面できわめて不利である。

【0009】 本発明の目的は、これ等増幅部と制御部を一つのパッケージにまとめることが可能な増幅回路を提供することである。

## 【0010】

【課題を解決するための手段】 本発明によれば、増幅用トランジスタと、前記増幅用トランジスタの入出力間に設けられて外部制御信号により帰還抵抗の値が可変自在な帰還回路とを含む増幅回路であって、前記帰還抵抗が前記増幅用トランジスタと同種のトランジスタにより構成されていることを特徴とする増幅回路が得られる。

## 【0011】

【作用】 フィードバック回路に挿入される可変抵抗回路に、ピンダイオードではなく、FETを用いることにより、増幅用のFETと制御部の可変抵抗素子（この場合はFET）を一枚のGaAsサブストレート上にまとめることを実現したものである。

## 【0012】

【実施例】 以下に本発明の実施例に付いて図面を用いて説明する。

【0013】 図1は本発明の実施例の回路図であり、図2、図3はその利得制御時の周波数特性のシミュレーション結果を示すグラフである。

【0014】 図1において、入力高周波信号（IN）はカップリングコンデンサC1を経て増幅用FET2のゲートに加わる。FET2のゲートにはアイソレーション抵抗R1を経バイアス電圧E1が与えられている。FET2のドレインには電源電圧E3が負抵抗R2を経て加えられる。増幅された高周波信号はFET2のドレインからカップリングコンデンサC3を経て出力（OUT）される。

【0015】 一方、増幅された高周波信号の一部はカップリングコンデンサC2、FET1を経てFET2の入力側（ゲート）へフィードバックされる。FET1のゲートには制御電圧E2が与えられている。FET1は等価的に可変抵抗素子として動作し、フィードバック量を制御する。従って、制御電圧E2をAGC信号として制御することによって、FET2を含め、AGC機能付きの可変利得高周波増回路を構成する。

【0016】 そして、図1の点線で囲まれた部分が全て

3

1枚のGaAsサブストレート上に集積化されるものである。

【0017】この可変利得増幅回路のフィードバック量最大の場合（利得最小の場合）の周波数特性のコンピュータシミュレーション結果を図2に示す。同様にフィードバック量最小の場合（利得最大の場合）の特性を図3に示す。

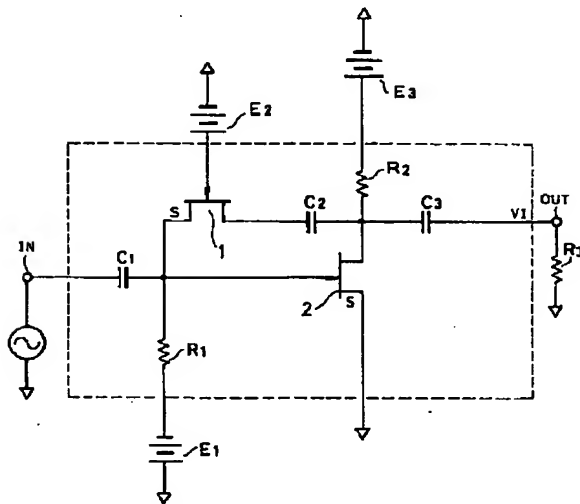
【0018】尚、上記実施例では、増幅素子としてFETを使用しているが、他のユニポーラ型のトランジスタやバイポーラ型のトランジスタを使用することができ、10 それに応じて可変抵抗素子であるトランジスタも同種のものとし、また集積回路のためのサブストレートも適宜選定する。

【0019】

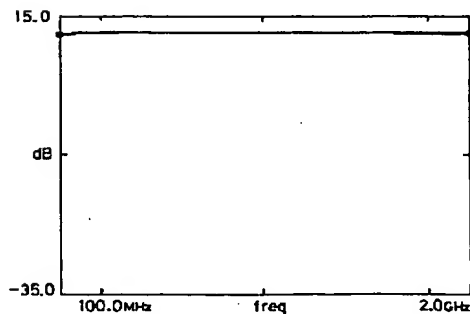
\*

1, 2 FET

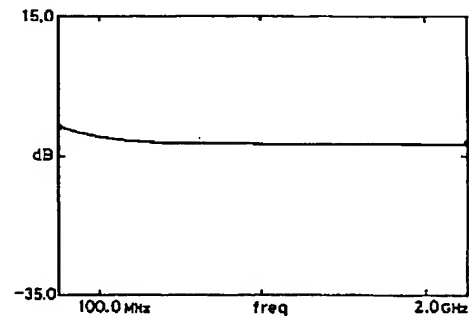
【図1】



【図3】



【図2】



【図4】

